

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

12104513

Basic Patent (No,Kind,Date): JP 6260500 A2 19940916 <No. of Patents: 006>

MANUFACTURE OF THIN-FILM TRANSISTOR (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): CHIYOU KOUYUU

IPC: *H01L-021/336; H01L-029/784; H01L-021/20; H01L-021/266; H01L-021/265;

H01L-021/324

CA Abstract No: 122(20)253864R

Derwent WPI Acc No: C 94-336388

JAPIO Reference No: 180658E000153

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
CN 1098818	A	19950215	CN 94104092	A	19940305	
JP 6260500	A2	19940916	JP 9371101	A	19930305	(BASIC)
JP 6314698	A2	19941108	JP 93343943	A	19931217	
JP 6314784	A2	19941108	JP 93146997	A	19930526	
JP 6314786	A2	19941108	JP 9414888	A	19940113	
JP 3226655	B2	20011105	JP 9371101	A	19930305	

Priority Data (No,Kind,Date):

JP 9371101 A 19930305
JP 9414888 A 19940113
JP 93343943 A 19931217
JP 9371106 A 19930305
JP 93146997 A 19930526

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04642798 **Image available**

THIN-FILM SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.: **06-314698** [JP 6314698 A]

PUBLISHED: November 08, 1994 (19941108)

INVENTOR(s): SUZAWA HIDEOMI

 UOJI HIDEKI

 TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 05-343943 [JP 93343943]

FILED: December 17, 1993 (19931217)

INTL CLASS: [5] H01L-021/336; H01L-029/784; H01L-021/20

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R044 (CHEMISTRY -- Photosensitive Resins);
 R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
 MOS)

ABSTRACT

PURPOSE: To enhance the yield of a thin-film semiconductor device, to increase its reliability and to draw out its characteristic to the full by a method wherein a region in which the concentration of at least one chemical element out of oxygen, carbon and nitrogen is larger than the average concentration of an island-shaped semiconductor region is formed at the peripheral part of the semiconductor region.

CONSTITUTION: A thin-film semiconductor device is provided with an island-shaped thin-film semiconductor region 10 and with a gate electrode 17 which traverses the semiconductor region 10. In the thin-film semiconductor device, regions 14 in which the concentration of at least one chemical element out of oxygen, carbon and nitrogen is larger than the average concentration of the semiconductor region 10 exist at peripheral parts of the semiconductor region 10, and the gate electrode 17 traverses the regions 14. For example, when the average concentration of nitrogen in a semiconductor region 10 is at $1 \times 10^{18} \text{cm}^{-3}$, the nitrogen is introduced in such a way that the concentration of nitrogen in regions 14 is at a concentration of $1 \times 10^{19} \text{cm}^{-3}$ or higher, preferably $1 \times 10^{20} \text{cm}^{-3}$, the nitrogen is reacted with silicon as a semiconductor and $\text{Si}_{(3)}\text{N}_{(4-x)}$ is formed. As a result, the resistance of the regions 14 rises remarkably.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-314698

(43) 公開日 平成6年(1994)11月8日

(51) IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336				
29/784				
21/20		8122-4M		
		9056-4M	H 0 1 L 29/ 78	3 1 1 Y
		9056-4M		3 1 1 R
			審査請求 未請求 請求項の数 7	FD (全 8 頁)

(21) 出願番号 特願平5-343943

(22) 出願日 平成5年(1993)12月17日

(31) 優先権主張番号 特願平5-71106

(32) 優先日 平5(1993)3月5日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 須沢 秀臣

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 魚地 秀貴

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 竹村 保彦

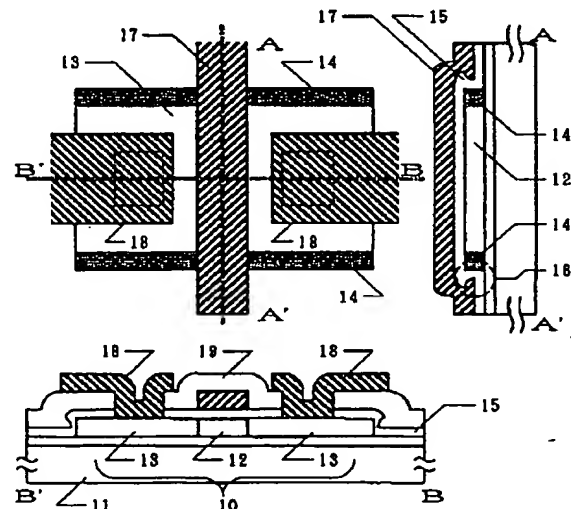
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54) 【発明の名称】 薄膜半導体装置およびその作製方法

(57) 【要約】

【目的】 薄膜トランジスタにおいて、ゲイト電極・配線と薄膜半導体領域（活性層）との間の信頼性を向上させ、特性の改善を図る。

【構成】 島状の薄膜半導体領域の端部、特にゲイト電極が横断する部分に炭素、窒素、酸素の少なくとも1つの元素の濃度を島状半導体領域の平均よりも多くすることにより、その部分の抵抗を高め、ソース、ドレイン間のリーク電流を減少させる。



【特許請求の範囲】

【請求項1】 島状の薄膜半導体領域と、前記半導体領域を横断するゲート電極とを有する薄膜半導体装置において、前記半導体領域の周辺部に酸素、炭素、窒素のうち少なくとも1つの元素の濃度が、前記半導体領域の平均濃度よりも大きな領域が存在し、かつ、ゲート電極が該領域を横断していることを特徴とする薄膜半導体装置。

【請求項2】 請求項1において、該島状の薄膜半導体領域はテーパー状のエッチを有していることを特徴とする薄膜半導体装置。

【請求項3】 請求項1において、該半導体領域の周辺部に設けられた酸素、炭素、窒素のうち少なくとも1つの元素の濃度が、前記半導体領域の平均濃度よりも大きな領域の幅は0.05～5μm、好ましくは0.1～1μmであることを特徴とする薄膜半導体装置。

【請求項4】 島状の薄膜半導体領域を形成する工程と、前記薄膜半導体領域の周辺部のうち少なくともゲート電極が横断する部分に、酸素、炭素、窒素のうち少なくとも1つの元素を選択的に導入する工程と、前記薄膜半導体領域を横断してゲート電極を形成する工程と、前記薄膜半導体領域に不純物を導入してソース、ドレイン領域を形成することを特徴とする薄膜半導体装置の作製方法。

【請求項5】 島状の薄膜半導体領域を実質的にアモルファス状態の半導体材料を用いて形成する工程と、前記薄膜半導体領域の周辺部に、酸素、炭素、窒素のうち少なくとも1つの元素を導入する工程と、前記薄膜半導体領域にレーザーもしくはそれと同等な強光を照射して結晶化させる工程と、前記薄膜半導体領域を横断してゲート電極を形成する工程とを有することを特徴とする薄膜半導体装置の作製方法。

【請求項6】 非単結晶半導体薄膜上に直接、もしくは間接にマスク材を形成し、フォトリソグラフィによって、島状にパターンングをおこなう工程と、ドライエッチング法もしくはウェットエッチング法によって、前記マスク材のパターンにしたがって、前記半導体薄膜を島状にエッチングする工程と、前記島状の半導体薄膜上にマスク材を残した状態で、酸素、炭素、窒素のうち少なくとも1つの元素からなるイオンを加速して照射する工程と、前記半導体薄膜を横断してゲート電極を形成する工程とを有することを特徴とする薄膜半導体装置の作製方法。

【請求項7】 請求項6において、該島状の半導体薄膜はテーパー状のエッチを有していることを特徴とする薄膜半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜集積回路に用いる回路素子、例えば、薄膜トランジスタ(TFT)の構造

および作製方法に関するものである。本発明によって作製される薄膜トランジスタは、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上に形成された絶縁体上、いずれにも形成される。

【0002】

【従来の技術】 従来、薄膜トランジスタは、薄膜半導体領域(活性層)を島状にパターンングして、形成した後、ゲート絶縁膜として、CVD法やスパッタ法によって絶縁被膜を形成し、その上にゲート電極を形成した。

【0003】

【発明が解決しようする課題】 CVD法やスパッタ法で形成される絶縁被膜はステップカバレッジ(段差被覆性)が悪く、信頼性や歩留り、特性に悪影響を及ぼしていた。図5には従来の典型的なTFTを上から見た図、およびその図面のA-A'、B-B'に沿った断面図を示す。TFTは基板51上に形成され、薄膜半導体領域は不純物領域(ソース、ドレイン領域、ここではN型の導電型を示す)53とゲート電極57の下に位置し、実質的に真性のチャネル形成領域52に分けられ、この半導体領域を覆って、ゲート絶縁膜55が設けられる。不純物領域53には、層間絶縁物59を通してコンタクトホールが開けられ、電極・配線58が設けられる。

【0004】 図から分かるように、ゲート絶縁膜55の半導体領域の端部における被覆性は著しく悪く、典型的には平坦部の厚さの半分しか厚みが存在しない。一般に島状半導体領域が厚い場合には甚だしい。特にゲート電極に沿ったA-A'断面からこのような被覆性の悪化がTFTの特性、信頼性、歩留りに及ぼす悪影響が分かる。すなわち、図5のA-A'断面図において点線図で示した領域56に注目してみれば、ゲート電極57の電界が薄膜半導体領域の端部に集中的に印加される。すなわち、この部分ではゲート絶縁膜の厚さが平坦部の半分であるので、その電界強度は2倍になるためである。

【0005】 この結果、この領域56のゲート絶縁膜は長時間のあるいは高い電圧印加によって容易に破壊される。ゲート電極に印加される信号が正であれば、この領域56の半導体もN型であるので、ゲート電極57と不純物領域58(特に、ドレイン領域)が導通してしまい、信頼性の劣化の原因となる。また、ソース、ドレイン間にスローローク(電流の漏れ)が発生し、ゲート電極に逆極性の電圧(Nチャネル型TFTであれば負、Pチャネル型であれば正の電圧)が印加された状態でも、微小のリーク電流が発生し、オフ電流が増加してしまう。

【0006】 また、ゲート絶縁膜が破壊された際には、何らかの電荷がトラップされることが起こり、例えば、負の電荷がトラップされれば、ゲート電極に印加される電圧にほとんど関わりなく、領域56の半導体はN型を呈し、2つの不純物領域58が導通することとなり、特性を劣化させる。また、以上のような劣化を引き起こさ

3

ずにTFTを使用するには、理想的な場合の半分の電圧しか印加できず、性能を十分に利用することができない。

【0007】また、TFTの一部にこのような弱い部分が存在するということは製造工程における帯電等によって容易にTFTが破壊されることであり、歩留り低下の大きな要因となる。本発明はこのような問題を解決することを課題とする。

【0008】

【発明を解決するための手段】本発明では、このように電気的に弱い領域の半導体中に、炭素、酸素、窒素のいずれか1つの元素もしくは複数の元素を島状の半導体領域の平均的な濃度よりも高めることによって、その部分に、化学式 Si_xC_{1-x} ($0 < x < 1$)、 Si_xO_{1-x} ($0 < x < 2$)、 Si_xN_{1-x} ($0 < x < 4$) あるいは、 $Si_xC_xN_xO_x$ で示される半絶縁性または絶縁性領域を構成せしめて、その領域での抵抗を高めることによって補うことを特徴とする。本発明の典型的な構造を図1に示す。図1も図5と同様にTFTを上から見た図面と、そのA-A'、B-B'断面の断面図を示している。TFTは基板11上に形成され、薄膜半導体領域は不純物領域(ソース、ドレイン領域、ここではN型の導電型を示すことにするが、P型であっても構わない)13とゲイト電極17の下に位置し、実質的に真性のチャネル形成領域12に分けられ、この半導体領域を覆って、ゲイト絶縁膜15が設けられる。不純物領域13には、層間絶縁物19を通してコンタクトホールが開けられ、電極・配線18が設けられる。

【0009】図5で示した従来のTFTと異なる点は、少なくともゲイト電極の下部の島上半導体領域10の周辺部、すなわち領域10の端部に、窒素、酸素、炭素の少なくとも1つの元素の濃度が、半導体領域の平均的な濃度よりも高い領域14を設けたことである。例えば、半導体領域の平均的な窒素の濃度が $1 \times 10^{18} \text{ cm}^{-3}$ であれば、この部分の窒素の濃度を $1 \times 10^{19} \text{ cm}^{-3}$ 以上、好ましくは $1 \times 10^{20} \text{ cm}^{-3}$ 以上の濃度となるように窒素を導入して、半導体のシリコンと反応せしめて、 Si_xN_{1-x} ($0 < x < 4$) を形成する。この結果、領域14の抵抗は著しく上昇する。酸素、炭素を用いる場合も同様で、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上、好ましくは $1 \times 10^{20} \text{ cm}^{-3}$ 以上の濃度となるように酸素、炭素を導入することによって、高い抵抗領域14を形成することができた。かくすると、その他のチャネル形成領域12に比較して、エネルギーバンド幅が大きくなるので、ゲイト電極に高い電圧が印加された際、側端部でもチャネルとの間では意図的に電界強度チャネル形成領域よりも弱め、ここでの電氣的破壊、リークの発生を抑えることができる。

【0010】この領域14の効果に関して、A-A'断面の領域16に注目して説明する。従来のTFTの場合

4

と同様に、このような半導体領域の端部におけるゲイト絶縁膜の被覆性は良くない。したがって、この部分では、理想的な場合の半分ほどの電圧でゲイト絶縁膜が破壊されて、ピンホールが生じたり、電荷がトラップされたりする。しかし、領域14が存在する場合には、領域14の抵抗によって、ゲイト絶縁膜に印加される電圧が減少する。その結果、ゲイト絶縁膜の破壊を防止することができる。また、半導体領域の端部のゲイト絶縁膜で、仮にピンホールが生じたり、電荷がトラップされても、この部分は領域14によって、不純物領域13やゲイト電極の下チャネル形成領域12とは隔離されているので、ほとんど影響が及ばない。

【0011】このため、特にゲイト電極とドレイン領域間のリーク電流や、ソース、ドレイン間のリーク電流を著しく低減せしめることができる。また、このようにゲイト絶縁膜が破壊されても特性や信頼性に問題が生じないのであれば、使用時の電圧の制限は少なくなり、また、製造時の静電破壊等による不良品の発生の確率も低下し、歩留りが向上する。

【0012】図1においては薄膜半導体領域10のゲイト電極の横断する側の端部全てに窒素、酸素、または炭素等を導入した様子を示したが、このような領域は少なくともゲイト電極の下領域に設けられれば十分であることは、以上の説明から明らかであろう。なお、酸素をドーピングする際に、マスクとしてフォトリソグرافイー法によって領域を画定する方法だけでなく、テーパーエッチによって自己整合的に導入箇所が決定される方法を用いてもよい。以下に実施例を示し、さらに本発明を説明する。

【0013】

【実施例】

【実施例1】図2に本実施例の作製工程の断面図を示す。本実施例を含めて、以下の実施例の図面では、TFTの断面図のみを示し、いずれも左側にはゲイト電極に垂直な面(図1、図5の断面B-B'に相当)を有するTFTを構成し、また、右側にはゲイト電極に平行な面(図1、図5の断面A-A'に相当)を有するTFTを構成する例を示す。

【0014】まず、基板(コーニング7059)20上にスパッタリングによって厚さ2000Åの酸化珪素の下地膜21を形成した。さらに、プラズマCVD法によって、厚さ500~1500Å、例えば1500Åのアモルファスシリコン膜を堆積した。アモルファスシリコン膜中の窒素の濃度は、2次イオン質量分析(SIMS)法による測定では $1 \times 10^{18} \text{ cm}^{-3}$ 以下であった。連続して、スパッタリング法によって、厚さ200Åの酸化珪素膜を保護膜として堆積した。そして、これを選

5

元雰囲気下、600℃で48時間アニールして結晶化させた。結晶化工程はレーザー等の強光を用いる方式でもよい。そして、得られた結晶シリコン膜をバタニングして、島状シリコン半導体領域22a、22bを形成した。島状シリコン膜の上には保護膜23a、23bがそれぞれ乗っている。この保護膜は、その後のフォトリソグラフィ工程において、島状シリコン領域が汚染されることを防止する作用がある。

【0015】次に全面にフォトレジストを塗布して、公知のフォトリソグラフィ法によって、レジスト24a、24bを残してバタニングした。そして、このレジストをマスクとして窒素、炭素、酸素、ここでは窒素を、島状半導体領域の端部に選択的に導入した。窒素の導入にはプラズマドーピング法を用いた。ドーピングガスとしては窒素ガスをを用い、rfパワー10~30W、例えば10Wで放電させてプラズマを発生させ、これを加速電圧20~60kV、例えば20kVで加速して、シリコン領域に導入した。ドーズ量は、 $1 \times 10^{15} \sim 5 \times 10^{16} \text{ cm}^{-2}$ 、例えば、 $1 \times 10^{16} \text{ cm}^{-2}$ とした。この結果、窒素のドーピングされた領域25a、25b、25c、25dを形成した。本条件では、この窒素のドーピングされた領域の窒素の濃度は $1 \times 10^{20} \sim 2 \times 10^{22} \text{ cm}^{-3}$ 、例えば、 $1 \times 10^{21} \text{ cm}^{-3}$ 程度となり、他の半導体領域に比べて著しく多量の窒素が導入された。(図2(A))

【0016】次に、マスク24a、24bを除去し、さらにその下の酸化珪素の保護膜23a、23bをも除去し、半導体領域22a、22bの表面を露呈せしめた後、スパッタリング法によって厚さ1000Åの酸化珪素膜26をゲイト絶縁膜として堆積し、引き続いて、減圧CVD法によって、厚さ6000~8000Å、例えば6000Åのシリコン膜(0.1~2%の燐を含む)を堆積した。なお、この酸化珪素とシリコン膜の成膜工程は連続的におこなうことが望ましい。そして、シリコン膜をバタニングして、ゲイト電極およびリードを構成する不純物の添加されたシリコン半導体の配線27a、27bを形成した。これらの配線は、いずれもゲイト電極として機能する。(図2(B))

【0017】次に、プラズマドーピング法によって、シリコン領域に配線27aをマスクとして不純物(燐)を注入した。ドーピングガスとして、フォスフィン(PH₃)を用い、加速電圧を60~90kV、例えば80kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{16} \text{ cm}^{-2}$ 、例えば $5 \times 10^{15} \text{ cm}^{-2}$ とした。その後、還元雰囲気中、600℃で48時間アニールすることによって、不純物を活性化させた。このようにして不純物領域28a、28bを形成した。この加熱アニールにおいては、島状領域22a、22bの側端部25a、25b、25c、25dも加熱され、該領域のシリコンと反応して化学式 $\text{Si}_x\text{N}_{4-x}$ ($0 < x < 4$)で示される物質が形成

6

される。窒素の代わりに炭素、酸素が導入されていた場合にも、それぞれ、化学式 $\text{Si}_x\text{C}_{4-x}$ ($0 < x < 1$)、 $\text{Si}_x\text{O}_{4-x}$ ($0 < x < 2$)で示される物質が得られる。(図2(C))

【0018】続いて、厚さ3000Åの酸化珪素膜を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、酸化チタンとアルミニウムの多層膜によって配線29a、29bを形成した。配線29aは配線27bとTFTの不純物領域の一方28bを接続する。以上の工程によって半導体回路が完成した。(図2(D))

【0019】〔実施例2〕 図3に本実施例の作製工程の断面図を示す。基板(コーニング7059)301の絶縁表面上にスパッタリングによって厚さ2000Åの酸化珪素の下地膜302を形成した。さらに、プラズマCVD法によって、厚さ500~1500Å、例えば1500Åのアモルファスシリコン膜を堆積した。連続して、スパッタリング法によって、厚さ200Åの酸化珪素膜を保護膜として堆積した。そして、これを還元雰囲気下、600℃で48時間アニールして結晶化させた。結晶化工程はレーザー等の強光を用いる方式でもよい。そして、得られた結晶シリコン膜を公知のフォトリソグラフィ法によってバタニングして、島状シリコン領域303a、303bを形成した。島状シリコン膜の上には保護膜が残されている。また、エッチングに用いたフォトレジストのマスク304a、304bも残されている。なお、このエッチング工程においては等方エッチング法(例えば、フッ硝酸によるウェットエッチング)を用い、半導体領域の側端部を図に示すようにテーパ状とした。この角度は、基板に対して30~60°であった。

【0020】次に、このレジストをマスクとして酸素を導入した。酸素の導入にはプラズマドーピング法を用いた。ドーピングガスとしては酸素ガス(O_2)もしくは亜酸化窒素(N_2O)を用い、加速電圧20~60kV、例えば20kVで加速して、シリコン領域に導入した。ドーズ量は、 $1 \times 10^{15} \sim 5 \times 10^{16} \text{ cm}^{-2}$ 、例えば、 $1 \times 10^{16} \text{ cm}^{-2}$ とした。この結果、酸素のドーピングされた領域305a、305b、305c、305dを形成した。(図3(A))

【0021】次に、スパッタリング法またはプラズマCVD法によって厚さ1000Åの酸化珪素膜306をゲイト絶縁膜として堆積し、引き続いて、スパッタ法によって、厚さ6000~8000Å、例えば6000Åのアルミニウム膜(2%のシリコンを含む)を堆積した。なお、この酸化珪素とアルミニウム膜の成膜工程は連続的におこなうことが望ましい。そして、アルミニウム膜をバタニングして、配線307a、307bを形成した。これらの配線は、いずれもゲイト電極として機能する。さらに、このアルミニウム配線の表面を陽極酸化し

7

て、表面に酸化物層309a、309bを形成した。陽極酸化の前に感光性ポリイミド（フォトニス）によって後でコンタクトを形成する部分にマスク308を選択的に形成した。陽極酸化の際には、このマスクのために、このマスク部分には陽極酸化物が形成されなかった。

【0022】陽極酸化は、酒石酸の1～5%エチレングリコール溶液中でおこなった。得られた酸化物層の厚さは2000Åであった。次に、プラズマドーピング法によって、シリコン領域に配線307aおよび酸化物309aをマスクとして不純物（磷）を注入した。ドーピングガスとして、フォスフィン（PH₃）を用い、加速電圧を60～90kV、例えば80kVとした。ドーピング量は $1 \times 10^{14} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、 $5 \times 10^{15} \text{ cm}^{-2}$ とした。このようにしてN型の不純物領域310a、310bを形成した。（図3（B））

【0023】その後、レーザーアニール法によって不純物の活性化をおこなった。レーザーとしてはKrFエキシマーレーザー（波長248nm、パルス幅20nsec）を用いたが、その他のレーザー、例えば、XeFエキシマーレーザー（波長353nm）、XeClエキシマーレーザー（波長308nm）、ArFエキシマーレーザー（波長193nm）等を用いてもよい。レーザーのエネルギー密度は、200～350mJ/cm²、例えば250mJ/cm²とし、1か所につき2～10ショット、例えば2ショット照射した。レーザー照射時に、基板を200～450℃程度に加熱してもよい。基板を加熱した場合には最適なレーザーエネルギー密度が変わることに注意しなければならない。なお、レーザー照射時にはポリイミドのマスク37を残しておいた。これは露出したアルミニウムがレーザー照射によってダメージを受けるからである。レーザー照射後、このポリイミドのマスクは酸素プラズマ中にさらすことによって簡単に除去できる。

【0024】なお、本実施例では、実施例1の場合と異なり、ゲート電極の下に酸素の注入された領域305c、305dはレーザー光が入射しないので、結晶化率が低い、イオンの注入の際に結晶性が破壊されているので極めて大きな抵抗として機能し、リーク電流を低下させる目的では効果的であった。（図3（C））しかし、添加した不純物が酸素のためソース、ドレインの活性化の際、同時に島状領域のシリコン半導体と反応してSiO_{2-x}を形成することもできる。また、実施例に示した以外に、まず、図3（A）にて、テーパー状の側端部を有する島状領域を作り、その後、炭素、窒素、酸素、例えば、炭素をテーパー状の端部に選択的に導入する。さらに、フォトレジスト33a、33bを除去したのち、レーザーアニールにより結晶化させるならば、さらにテーパー状の端部は、Si_{1-x}C_x（0<x<1）で示される炭化珪素とすることができる。そして、

8

そのエネルギーバンド幅が、島状半導体領域に比較して高いため、単部での絶縁破壊、リークの発生を防ぐことができる。

【0025】続いて、厚さ3000Åの酸化珪素膜311を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって配線312a、312bを形成した。配線312aは配線307bとTFTの不純物領域の一方310bを接続する。以上の工程によってTFT313aとTFT313bからなる半導体回路が完成した。（図3（D））

なお、本実施例において、TFTのソースもしくはドレインの電極のいずれかを設けなければゲート電極と残りの不純物領域の間にキャパシタが形成されることは明らかであろう。したがって、本実施例と同等な手段を用いても、耐圧が高い、リークが少ない等の優れた特性を信頼性を有するキャパシタが得られる。そして、このようにして形成したTFTおよびキャパシタを用いてアクティブマトリクス型液晶ディスプレイの画素回路を構成してもよい。

【0026】〔実施例3〕 図4に本実施例の作製工程の断面図を示す。図の左側には、図1のA-A'断面に対応するTFTを、また、図の右側には図1のB-B'断面に対応するTFTの例を示す。基板（コーニング7059）40上にスパッタリング法もしくはプラズマCVD法によって厚さ2000Åの酸化珪素、窒化珪素、あるいは窒化アルミニウムの単層、あるいは多層の下地膜41を形成した。さらに、プラズマCVD法によって、厚さ500～1500Å、例えば1500Åのアモルファスシリコン膜を堆積した。そして、得られたアモルファスシリコン膜をパターニングして、島状シリコン領域42a、42bを形成した。

【0027】次に全面にフォトレジストを塗布して、公知のフォトリソグラフィ法によって、レジスト43a、43bを残してパターニングした。そして、このレジストをマスクとして空素を導入した。空素の導入にはプラズマドーピング法を用いた。この結果、空素のドーピングされた領域44a、44b、44c、44dを形成した。（図4（A））

【0028】次にフォトレジストを残したまま、スパッタ法によって厚さ1000Åの酸化珪素膜45aを堆積した。（図4（B））

そして、フォトレジストを剥離することによって、その上に形成されていた酸化珪素膜まで除去した。フォトレジストの存在していなかった部分にはそのまま酸化珪素膜が残る。これを還元雰囲気下、600℃で48時間アニールして結晶化させた。結晶化工程はレーザー等の強光を用いる方式でもよい。

【0029】次に、スパッタリング法によって厚さ1000Åの酸化珪素膜45bをゲート絶縁膜として堆積

9

し、引き続いて、減圧CVD法によって、厚さ6000～8000Å、例えば6000Åのシリコン膜(0.1～2%の燐を含む)を堆積した。なお、この酸化珪素とシリコン膜の成膜工程は連続的に起こることが望ましい。そして、シリコン膜をパターニングして、配線46a、46bを形成した。これらの配線は、いずれもゲート電極として機能する。また、島上シリコン領域の周辺部(先に窒素が注入された領域)に注目すると、ここでは絶縁膜の厚さが酸化珪素45aおよび45bによって、約2倍になっている。そのため、ゲート絶縁膜の破壊を防ぐうえで効果的である。(図4(C))

【0030】次に、プラズマドーピング法によって、シリコン領域に配線46aをマスクとして不純物(燐)を注入した。ドーピングガスとして、フォスフィン(PH₃)を用いた。その後、還元雰囲気中、600℃で48時間アニールすることによって、不純物を活性化させた。このようにして不純物領域47a、47bを形成した。続いて、厚さ3000Åの酸化珪素膜48を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって配線49a、49bを形成した。配線49aは配線46bとTFTの不純物領域の一方47bを接続する。以上の工程によって半導体回路が完成した。(図4(D))

本実施例によって、歩留りが従来の2倍以上に改善された。また、TFTの特性の悪化は特に認められなかった。逆に使用に耐えうる最大電圧が従来の1.5～2倍に上昇したために、最高動作速度が2～4倍上昇した。

【0031】【実施例4】 図6に本実施例を示す。まず、基板60上に厚さ1000～3000Åの酸化珪素の下地膜61を形成した。さらに、プラズマCVD法やLPCVD法によってアモルファスシリコン膜を100～5000Å、好ましくは300～1000Å堆積した。アモルファスシリコン膜上には保護膜として、酸化珪素膜を100～500Å堆積した。そして、公知のフォトリソグラフィ法によってレジストのマスク63a、63bを形成し、ドライエッチング法によって、アモルファスシリコンのエッチングをおこなった。このときのエッチング条件は、以下のようであった。

RFパワー : 500W

圧力 : 100mTorr

ガス流量

CF₄ : 50sccm

O₂ : 45sccm

【0032】この結果、図6(A)に示すように、島状のシリコン領域62a、62bが得られたが、そのエッチ部は図のようにテーパー状になっていた。このテーパーの角度は基板表面に対して20～60°であった。エッチングにおいて、比率CF₄/O₂が大きくなると、このようなテーパー状のエッチを得ることはできなかつ

10

た。次に、このレジストをマスクとして酸素、炭素、窒素、例えば、窒素を導入した。窒素の導入にはプラズマドーピング法を用いた。ドーピングガスとしては窒素(N₂)を用い、加速電圧20～60kV、例えば20kVで加速して、シリコン領域に導入した。ドーズ量は、 $1 \times 10^{15} \sim 5 \times 10^{16} \text{ cm}^{-2}$ 、例えば、 $1 \times 10^{16} \text{ cm}^{-2}$ とした。この結果、レジストがなかった、もしくは、薄かったシリコン領域のエッチ部64a、64b、64c、64dに窒素がドーピングされた。(図6(A))

【0033】その後、フォトレジストのマスク材63a、63bと、その下の保護膜を除去し、島状のシリコン膜を露出させた状態で、KrFエキシマーレーザー(波長248nm、パルス幅20ns・sec)を照射して、アモルファスシリコンの結晶化をおこなった。レーザーとしては、XeClエキシマーレーザー(波長308nm、パルス幅50ns・sec)を用いてもよかった。その後、スパッタ法もしくはプラズマCVD法によって、厚さ1000～1500Åの酸化珪素膜65を形成し、引き続き、厚さ1000Å～3μmのアルミニウム(1wt%のSi、もしくは0.1～0.3wt%のSc(スカンジウム)を含む)膜を電子ビーム蒸着法もしくはスパッタ法によって形成した。

【0034】そして、その表面に公知のスピンコート法によってフォトレジストを塗布し、公知のフォトリソグラフィ法によって、パターニングをおこなった。そして、燐酸によって、アルミニウム膜のエッチングをおこなった。このようにして、ゲート電極・配線66a、66bを形成した。なお、ゲート電極・配線上にはフォトレジストのマスク67a、67bをそのまま残存させておいた。また、オーバーエッチのために、ゲート電極・配線の側面はフォトレジストの側面よりも内側にある。(図6(B))

【0035】この状態で、イオンドーピング法によって、TFTの活性半導体層62a、62bに、フォトレジスト67a、67bをマスクとして不純物を注入し、N型のソース68a、ドレイン68bを形成した。ここで、フォトレジスト67aに対して、ゲート電極66aは距離xだけ内側にあるため、図に示したように、ゲート電極とソース/ドレインが重ならないオフセット状態となっている。距離xは、アルミニウム配線の際のエッチング時間を加減することによって増減できる。xとしては、0.3～5μmが好ましかった。(図6(C))

【0036】その後、フォトレジスト67a、67bを剥離し、KrFエキシマーレーザー(波長248nm、パルス幅20ns・sec)を照射して、活性層中に導入された不純物イオンの活性化をおこなった。(図6(D))

最後に、全面に層間絶縁物69として、プラズマCVD法によって酸化珪素膜を厚さ2000Å～1μm形成し

11

た。さらに、TFTのソース68a、ドレイン68bにコンタクトホールを形成し、アルミニウム配線70a、70bを2000Å~1μm、例えば5000Åの厚さに形成した。このアルミニウム配線の下にバリアメタルとして、例えば窒化チタンを形成するとより一層、信頼性を向上させることができた(図6(E))

【0037】

【発明の効果】本発明によって、薄膜半導体装置の歩留りを向上させ、また、その信頼性を高め、最大限を特性を引き出すことが可能となった。本発明の薄膜半導体装置は、特に、ゲートドレイン間、ゲートソース間のリーク電流が低く、高いゲート電圧にも耐えられる等の特徴から液晶ディスプレイのアクティブマトリクス回路における画素制御用のトランジスタとして好ましい。

【0038】本発明ではNチャネル型のTFTを例にとって説明したが、Pチャネル型TFTや同一基板上にNチャネル型とPチャネル型の混在した相捕型の回路の場合も同様に実施できることは言うまでもない。また、実施例に示したような簡単な構造のものばかりではなく、例えば、特願平5-256567に示されるようなソース/ドレインにシリサイドを有するような構造のTFTに用いてもよい。本発明はTFTを中心として説明した。しかし、他の回路素子、例えば、1つの島状半導体

12

領域に複数のゲート電極を有する薄膜集積回路、スタックゲイト型TFT、ダイオード、抵抗、キャパシタにも適用できることは言うまでもない。このように本発明は工業上、有益な発明である。

【図面の簡単な説明】

【図1】 本発明のTFTの構成例を示す。

【図2】 実施例1のTFTの作製工程断面を示す。

【図3】 実施例2のTFTの作製工程断面を示す。

【図4】 実施例3のTFTの作製工程断面を示す。

【図5】 従来のTFTの構成例を示す。

【図6】 実施例4のTFTの作製工程断面を示す。

【符号の説明】

10・・・島状半導体領域

11・・・基板

12・・・チャネル形成領域(実質的に真性)

13・・・不純物領域(ソース、ドレイン)

14・・・ドーピング領域(窒素、炭素、酸素の少なくとも1つを含む)

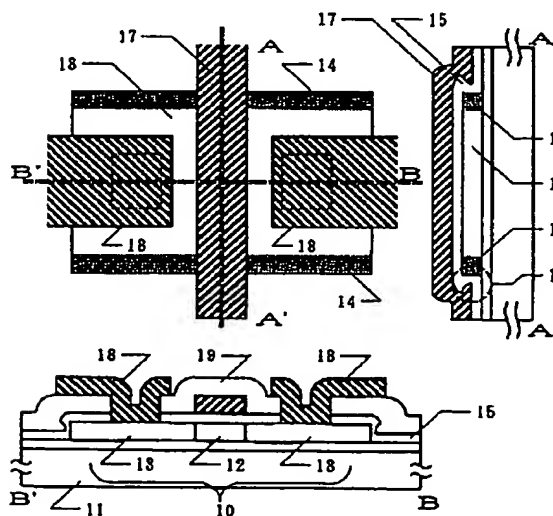
15・・・ゲート絶縁膜

16・・・島状半導体領域の端部

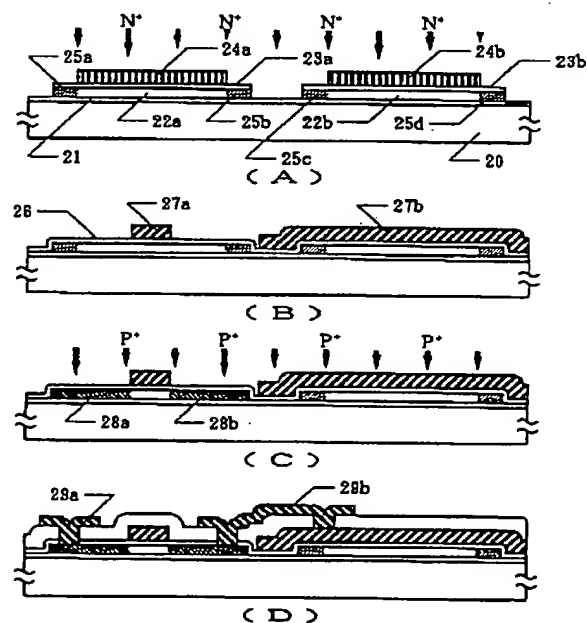
17・・・ゲート電極

18・・・ソース、ドレイン電極

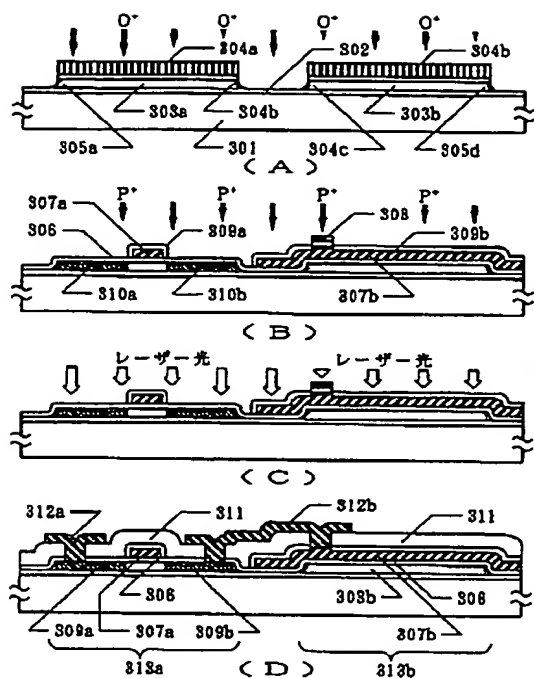
【図1】



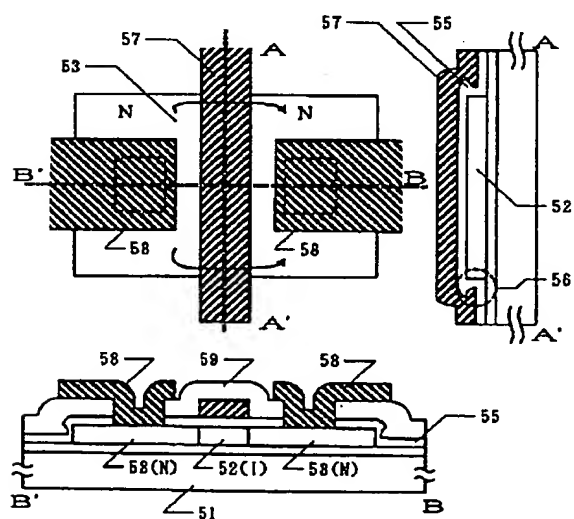
【図2】



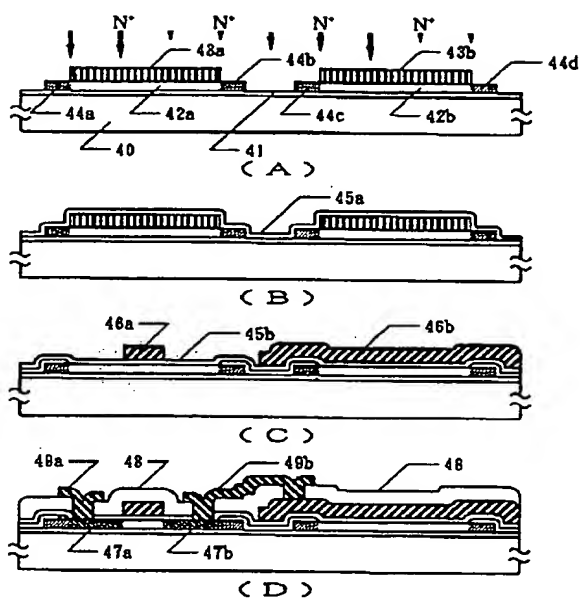
【図3】



【図5】



【図4】



【図6】

